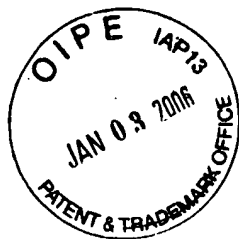


Requested document: JP6061839 click here to view the pdf document**ECL LOGIC CIRCUIT**

Patent Number:

Publication date: 1994-03-04

Inventor(s): TAWARA AKINORI

Applicant(s): FUJITSU LTD

Requested Patent: ☐ JP6061839

Application Number: JP19920214305 19920811

Priority Number(s): JP19920214305 19920811

IPC Classification: H03K19/086

EC Classification:

Equivalents:

Abstract

PURPOSE: To improve the drive capability of the ECL logic circuit without being affected by a frequency of an input signal by supplying a high current momentarily at a transit point of time when a voltage level of an output section changes.

CONSTITUTION: A prescribed positive level is fed to a base of an active pull-down transistor (TR) 6 by a voltage compensation TR 7 used to compensate and correct a base voltage of the TR 6 at all times. For example, when an output level of an output section OUT of an emitter follower section 4 transits to an H level from an L level, the TR 7 compensates the base level of the TR 6 to cancel a negative voltage applied to the base via a capacitor 5. As a result, since the base voltage of the TR 6 is restored to a usual voltage earlier and the impedance of the compensation TR 7 is set low, a CR time constant is set small. Since the base voltage of the TR 6 is restored to the usual voltage level in a very short time, even when the frequency of the input signal is increased, the logic circuit is used without decreasing the drive capability of the ECL logic circuit.

Data supplied from the esp@cenet database - I2

⑩ 日本国特許庁(JP)

⑪ 実用新案出願公開

⑫ 公開実用新案公報(U)

昭60-61839

⑬ Int.Cl.⁴

H 03 K 5/00
5/12

識別記号

庁内整理番号

6942-5J
6942-5J

⑭ 公開 昭和60年(1985)4月30日

審査請求 未請求 (全 頁)

⑮ 考案の名称 波形検出回路

⑯ 実 願 昭58-153522

⑰ 出 願 昭58(1983)10月3日

⑱ 考 案 者 岩 田 利 喜 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 考案の名称

波形検出回路

2. 実用新案登録請求の範囲

入力信号を反転する第1のインバータ、この第1のインバータの出力と接地との間に接続されたMOSトランジスタと容量との直列回路、前記MOSトランジスタのゲートに一定電位を与える入出力がショートされた第2のインバータ回路、前記第1のインバータの出力と入力信号を入力とするNOR回路とから構成される波形検出回路。

3. 考案の詳細な説明

本考案は波形検出回路に関し、特にNチャンネルMOS集積回路に用いられる立ち下がリエッジ検出回路に関するものである。

従来、立ち下がリエッジ検出回路は入力と入力を奇数段のインバータによって遅延させた信号を

— 1 —

NOR ロジックをとることによってこの遅延時間の幅をもつ信号を発生させるものであった。第 1 図はその一構成例である。入力 I_1 は、2 入力 NOR ゲート 6 とインバータ 1 に入力されている。このインバータの出力は、インバータ 3, 4 と容量 2, 5 によって遅延され 6 に入力される。

第 2 図はこの回路の入出力及び各点の波形を示すものである。入力 I_1 と出力 O_1 がインバータ 1, 3, 4 によって遅延された 4 の出力を NOR ロジックをとることによって出力 O_1 が発生される。この様な回路において最も簡単な遅延回路として一段インバータが考えられるが、通常出力パルス幅として 50 ns 以上必要とされ、このためこの遅延回路のディレイも 50 ns 以上必要になる。しかしながら、現在の N チャンネル MOS インバータの 1 段当りのディレイは 5 ns 程度でこれを 50 ns 以上にするには、このインバータの負荷 MOS を非常に小さくする、或いはその負荷容量を大きくする以外にない。また、この場合このインバータの立ち上がりが非常に遅くなるため出力

パルスの立ち下がり悪くなる、これを急峻にするには終段のNORゲートのレシオを大きくしなければならないという欠点がある。この欠点を除去するために、通常は第2図の様に3段以上のインバータを使って遅延回路が構成されている。この様な回路においては必然的に回路の素子数が多くなる欠点がある。

本考案は、この欠点を除去するため、ある電位以下では大容量として働く回路を用いたものである。

第3図に本考案の実施例である。

入力 I_2 はNORゲート11とインバータ7に入力される。インバータ7の出力にはMOSトランジスタ8と容量9の直列回路が接続され、容量9の他端子は接地されている。またインバータ7の出力はNORゲート11に入力されている。トランジスタ8のゲート入力是自己帰還型のインバータ10の出力が入力されている。

第4図はその入出力及び各部の波形である。簡単にこれについて説明する。自己帰還型インバー

タ 10 の出力電圧を V としてトランジスタのフレッシュールド電圧を V_{TH} とすると、トランジスタ 8 はインバータ 7 の出力が $V - V_{TH}$ の電圧になるまで導通状態にある。このとき、インバータの負荷は容量 9 と NOR ゲート 11 の入力ゲート容量の和に一致する。そして容量 9 を充分に大きくとることによって、インバータ 7 の出力の立ち上がりを遅らせることができる。次に、インバータ 7 の出力が $V - V_{TH}$ 以上になったとき 8 はカットオフ状態になり、インバータ 7 の負荷は NOR ゲート 11 の入力ゲート容量のみとなり、インバータ 7 の立ち上がりは急峻になる。ここで $V - V_{TH}$ の電圧が NOR ゲートの High 出力 - Low 出力変移電圧になる様に 10 の出力電圧 V を設定することによって出力 O_2 の立ち下がりも急峻にすることができる。また、自己帰還型のインバータ 10 により設定された電圧は温度変化に対しても NOR ゲート 11 の変移電圧と同相で変化するため常に安定である。

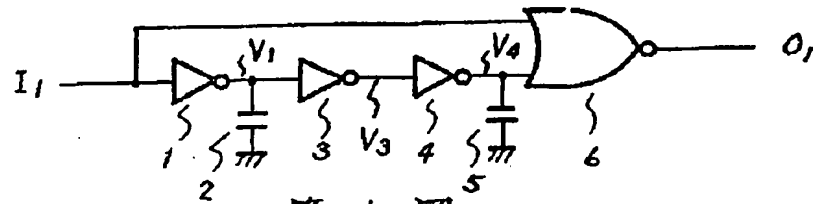
4. 図面の簡単な説明

第1図は従来例の回路図、第2図はその各部の波形を示す図である。第3図は本考案の実施例の回路図、第4図はその各部の波形を示す図である。

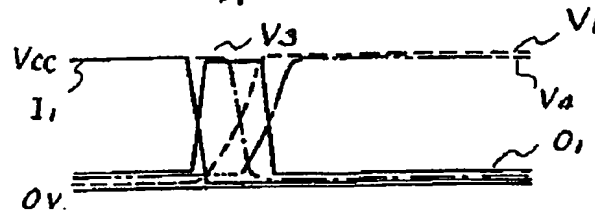
1, 3, 4, 7, 10 ……インバータ

代理人 弁理士 内 原 晋

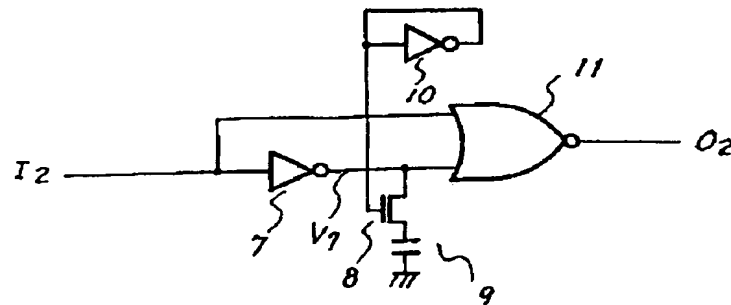




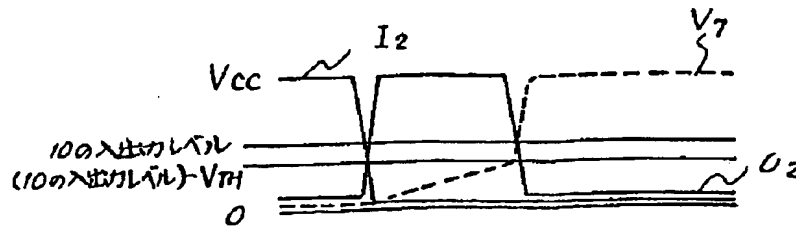
第 1 図



第 2 図



第 3 図



第 4 図

